

試験問題（中西）

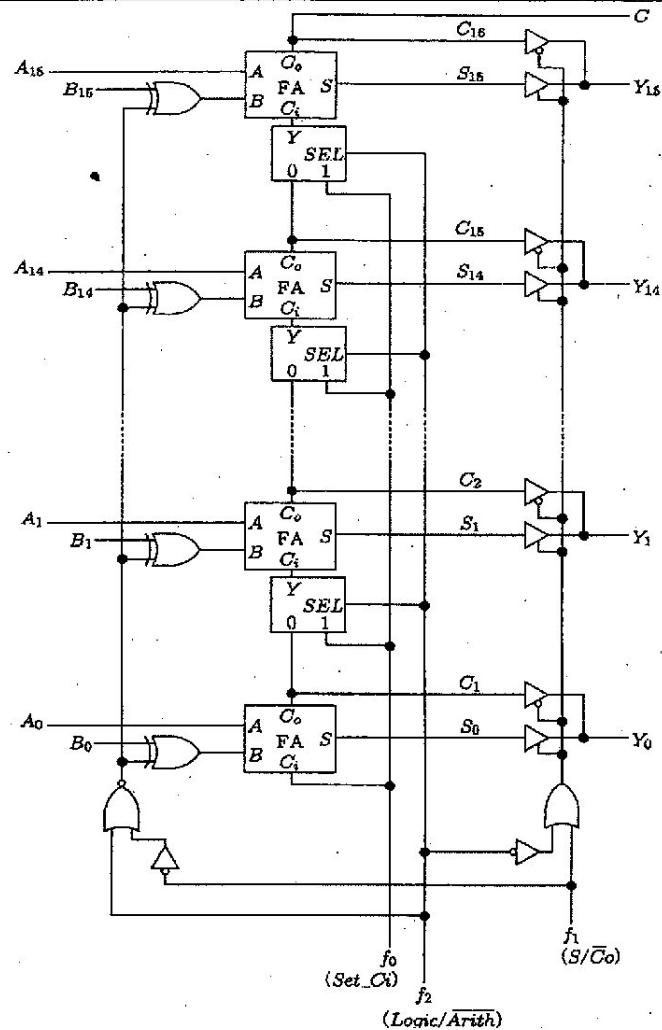
問題 1 半導体メモリについて下記の問いに答えよ

- (1) 5 ボルトプリチャージ方式、ビット線浮遊容量  $0.5\text{pF}$  の DRAM で、データ 1 の時のビット線 D と  $\bar{D}$  の読出し電圧の差が  $250\text{mV}$  とするためのセルの容量を求めよ。
- (2) フラッシュメモリの記憶およびデータ読出し原理について述べよ。

問題 2 算術・論理演算について下記の問に答えよ

- (1) 2 進数に対して、1 の補数および 2 の補数を定義せよ。
- (2) 下図の算術論理演算回路において、制御信号  $f_2, f_1, f_0$  と  $(A)_{16}$  と  $(B)_{16}$  が下表の値の時、出力  $(Y)_{16}$  の値①～③を 16 進数で求めよ。

$f_2$	$f_1$	$f_0$	$(A)_{16}$	$(B)_{16}$	$(Y)_{16}$
0	0	0	$(ABCD)_{16}$	$(1876)_{16}$	①
1	0	1	$(789A)_{16}$	$(F1E3)_{16}$	②
1	1	0	$(CDEF)_{16}$	$(7653)_{16}$	③



問題 3 100Base-TX と 1000Base-T の LAN の、データ符号化・伝送方式を説明せよ

2009年7月25日

試験問題 (小牧)

問題1 CMOS インバータ回路について下記の問いに答えよ

- (1) 回路構成を示し、CMOS 回路の特徴を述べよ。
- (2) ゲート遅延時間に影響を与える回路パラメータを示し、その特性を説明せよ。また、ゲート遅延を示す式を導出せよ。
- (3) ゲートの消費電力に影響するパラメータを示し、その特性を説明せよ。また、それを示す式を導出せよ。

問題2 3つの入力  $x, y, z$  に対して以下の条件が成立したとき 1, それ以外は 0 となる論理関数  $f(x, y, z)$  について下記の問いに答えよ。

条件1:  $x$  と  $y$  がともに 1

条件2:  $x$  と  $z$  がともに 1

条件3:  $x$  と  $y$  が等しくなく、かつ、 $y$  と  $z$  が等しい

- (1) 論理関数  $f(x, y, z)$  を示せ。また、これを AND, OR, NOT, XOR ゲートを使用した論理回路で図示せよ。
- (2) 上記論理関数を積和標準形式 (最小項表現) で表示せよ。また、これに対応する論理回路を AND, OR ゲートを使用して図示せよ。
- (3) 上記論理関数の真理値表を、カルノー図を使用して示し、簡単化せよ。また、これに対応する論理回路をゲート図を使用して図示せよ。
- (4) (3) の回路を CMOS ゲート回路を使用して実現せよ。