

1 実験条件

実験日時 2010（平成 22）年 4 月 22 日木曜日 午後 1 時～午後 5 時

天気 雨

気圧・気温・湿度 省略

2 実験の目的

ディジタル電子回路の基本要素となる CMOS インバータの特性をコンピュータ上のシミュレーターを使って解析し、静特性・動特性を調べることを目的とする。そして、回路を構成した際に生じる遅延時間・ノイズの問題を検討する。

3 実験の原理

はじめに MOSFET の静特性について述べる。MOSFET は Metal-Oxide-Semiconductor Field Effect Transfer の略で、ソース (S) ドレイン (D)、ゲート (G)、基板 (B) の 4 端子からなる能動素子である。各端子間電圧 V_{DS} 、 V_{GS} 、 V_{BS} としきい値電圧 V_T 、ドレイン電流 I_D の間には次の関係が成立する（符号は上が NMOS、下が PMOS の場合）。

(1) オフ領域 ($V_{GS} - V_T \geq 0$)

$$I_D = 0 \quad (1)$$

(2) 線形領域 ($V_{GS} - V_T \geq V_{DS}$)

$$I_D = \pm k[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}](1 \pm \lambda V_{DS}) \quad (2)$$

(3) 飽和領域 ($0 \geq V_{GS} - V_T \geq V_{DS}$)

$$I_D = \pm \frac{k}{2}(V_{GS} - V_T)^2(1 \pm \lambda V_{DS}) \quad (3)$$

ただし V_T は

$$V_T = V_{T0} \pm \gamma(\sqrt{|2\phi_F| \mp V_{BS}} - \sqrt{|2\phi_F|}) \quad (4)$$

係数 k は

$$k = \frac{W}{L}k' = \frac{W}{L}\mu C_{ox} \quad (5)$$

で表される、MOSFET の設計で決まるパラメータである。ここに V_{T0} ：ゼロ基板バイアスしきい値、 γ ：基板バイアス係数、 ϕ_F ：基板フェルミ準位、 L ：チャネル長、 W ：チャネル幅、 k' ：相互コンダクタンス係数、 μ ：移動度、 C_{ox} ：単位面積辺りのゲート酸化膜容量である。シミュレーターではこれらの理論式を使ってシミュレーションを行う。

次に CMOS インバータの静特性、すなわち端子電圧を印加してから十分時間がたった時の定常状態モデルについて述べる。CMOS インバータは NMOS と PMOS を接続して構成される素子である。回路図と記号を図 1 に表す。この回路の入力電位 V_{in} と出力電位 V_{out} を利用すれば NOT ゲートとして働く。

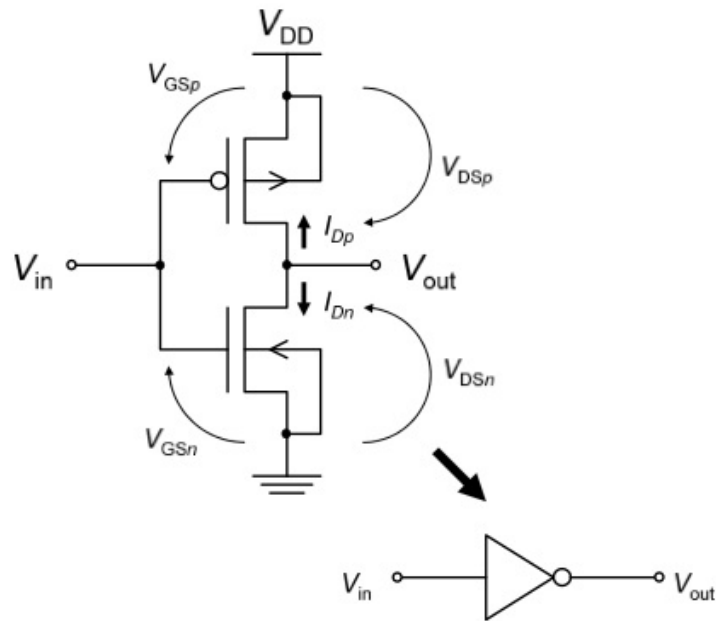


図1 CMOS インバータ回路とその略記号

ただし NMOS の端子電圧は

$$V_{DSn} = V_{out}, V_{GSn} = V_{in} \quad (6)$$

PMOS の端子電圧は

$$V_{DSp} = V_{out} - V_{DD}, V_{GSp} = V_{in} - V_{DD} \quad (7)$$

で与えられる。

これらのパラメータから、 I_D - V_{out} グラフを描くと負荷曲線が、 V_{out} - V_{in} グラフを描くと伝達特性が、 I_D - V_{in} グラフを描くと貫通電流の特性が得られる。

最後に動特性について述べる。実用的な回路では CMOS インバータを複数段接続して利用するが、その際必ず素子電圧の変化に伴って素子内部の電化も再分布する。これが回路の寄生容量成分の生じる原因となり、回路の動作速度を律速する。寄生容量は MOSFET の全ての端子間に存在するが、簡単化のために全ての寄生容量を合成して考えることができる。

遅延時間は論理回路の動作速度の指標として用いられるもので、 t_{pHL} 、 t_{pLH} と表され、定義は方形波入力 V_{in} が論理振幅の 50 % まで上昇（下降）してから、 V_{out} が 50 % 下降（上昇）するまでの時間遅れである。

$$t_{pHL} = \frac{2C_L V_{Tn}}{k_n (V_{DD} - V_{Tn})^2} + \frac{C_L}{k_n (V_{DD} - V_{Tn})} \ln \left(3 - \frac{4V_{Tn}}{V_{DD}} \right) \quad (8)$$

4 使用器具及び装置

- コンピューター
- SPICE
- 筆記用具・実験ノート・カメラ

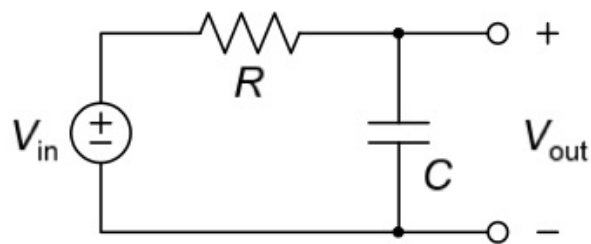


図2 実験3.1の回路図

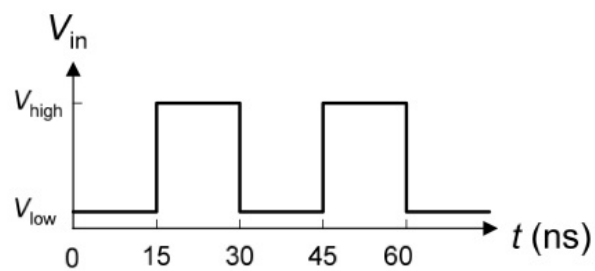


図3 実験3.1の入力電圧 V_{in} の波形

図4 実験3.1の出力電圧 V_{out} の波形 (次ページ)

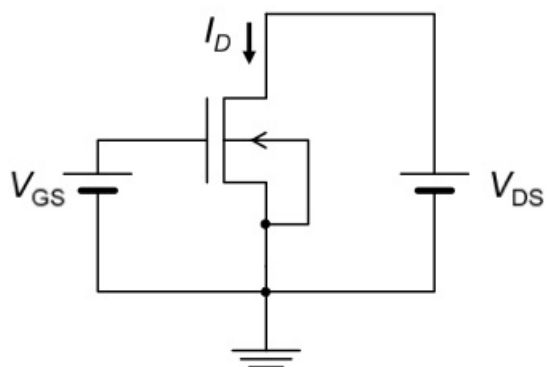


図5 実験3.2の回路図

5 実験結果

- 3.1 図2の回路図を組み立てた。ただし $R=20\text{K}\Omega$ 、 $C=100\text{fF}$ 、印加電圧は図3に表すような矩形パルス波で $V_{low}=0\text{V}$ 、 $V_{high}=5\text{V}$ とした。この入力波形と出力波形 V_{out} をあわせて描いたのが図4である。
- 3.2 (1) $L=W=5\mu\text{m}$ として図5の回路を作成した。ここで V_{DS} を0から5Vまで変化させて I_D - V_{DS} 特性を記録したものが図6である。

図6 実験3.2 (1) の I_D - V_{DS} 特性 (次ページ)

図7 実験3.2 (2) の I_D - V_{DS} 特性 (次ページ)

図8 実験4 (1) の伝達特性 (次ページ)

図9 実験4 (2) の伝達特性 (次ページ)

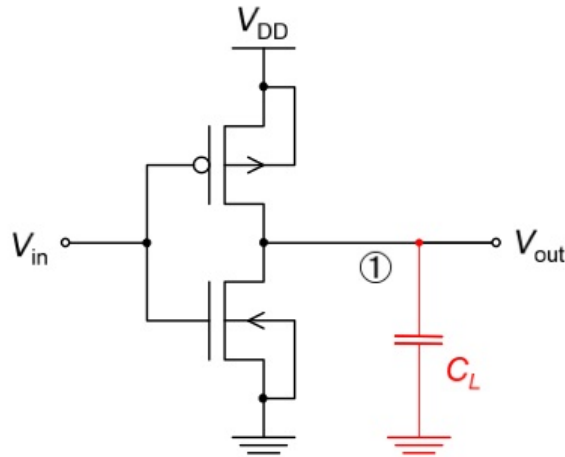


図10 実験5.1 の回路図

図11 実験5.1 (1) の $V_{in} \cdot V_{out}$ - t グラフ (次ページ)

- 3.2 (2) (1) と同じ回路で、NMOS を PMOS に置き換え、 V_{DS} を 0 から -5V まで変化させて I_D - V_{DS} 特性を記録したものが図7である。
- 4 (1) 図1の回路において、NMOSのパラメータを $V_{T0}=0.8\text{V}$ 、 $k'=2.0 \times 10^{-5} \text{A/V}^2$ 、 $\lambda=0\text{V}^{-1}$ 、PMOSのパラメータを $V_{T0}=-0.8\text{V}$ 、 $k'=6.7 \times 10^{-6} \text{A/V}^2$ 、 $\lambda=0\text{V}^{-1}$ 、両者共通のパラメータを $V_{DD}=5\text{V}$ 、 $L=5\mu\text{m}$ 、 $W=5\mu\text{m}$ とし、 V_{out} - V_{in} グラフを描いて伝達特性を求めたのが図8である。
- 4 (2) 図1の回路において、NMOS と PMOS のパラメータを W 以外全て (1) と同じ値に設定し、 $V_M = \frac{V_{DD}}{2}$ となるようにシミュレーションを繰り返して V_{out} - V_{in} グラフを描いて伝達特性を求めたのが図9である。このとき $W=14.9253\mu\text{m}$ であった。
- 5.1 (1) 図10の回路において、 V_{in} を図3で $V_{low}=0\text{V}$ 、 $V_{high}=V_{DD}=5\text{V}$ と表される波形に設定し、 $C_L=100\text{fF}$ としたときの t_{pHL} 、 t_{pLH} を求めたところ、図11のようになった。このグラフより読み取ると、 $t_{pHL}=1.47\text{ns}$ 、 $t_{pLH}=1.49\text{ns}$ となった。ただし MOSFET の各種パラメータは実験4と同じものを用いた。
- 5.1 (2) (1) と同様に図10の回路において、 V_{in} を図3で $V_{low}=0\text{V}$ 、 $V_{high}=V_{DD}=7\text{V}$ と表される波形に設定し、 $C_L=100\text{fF}$ としたときの t_{pHL} 、 t_{pLH} を求めたところ、図12のようになった。このグラフより読み取ると、 $t_{pHL}=1.02\text{ns}$ 、 $t_{pLH}=1.02\text{ns}$ となった。

図 12 実験 5.1 (2) の $V_{in} \cdot V_{out}-t$ グラフ (次ページ)

図 13 実験 5.1 (3) の $V_{in} \cdot V_{out}-t$ グラフ (次ページ)

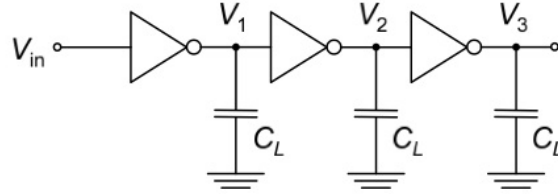


図 14 実験 5.2 の回路図

図 15 実験 5.2 (1) の出力電位 $V_1 \cdot V_2 \cdot V_3-t$ グラフ (次ページ)

図 16 実験 5.2 (2) の出力電位 $V_1 \cdot V_2 \cdot V_3-t$ グラフ (次ページ)

図 17 実験 5.2 (3) の出力電位 $V_1 \cdot V_2 \cdot V_3-t$ グラフ (次ページ)

- 5.1 (3) (1) と同様に図 10 の回路において、 V_{in} を図 3 で $V_{low}=0V$ 、 $V_{high}=V_{DD}=5V$ と表される波形に設定し、 $C_L=50fF$ としたときの t_{pHL} 、 t_{pLH} を求めたところ、図 11 のようになった。このグラフより読みとると、 $t_{pHL}=0.79ns$ 、 $t_{pLH}=0.75ns$ となった。
- 5.2 (1) 実験 5.1 の回路 (図 10) で $V_{DD}=5V$ 、 $C_L=100fF$ とし図 14 の回路図のように 3 段接続した。 V_{in} を図 3 において $V_{low}=1V$ 、 $V_{high}=2V$ と表されるような波形に設定し、各 CMOS インバータの出力端子電圧 V_1 、 V_2 、 V_3 を測定したところ図 15 のようなグラフが得られた。この条件では出力電圧 V_3 が入力に同期していないため、論理回路として成り立っていない。
- 5.2 (2) (1) と同様に実験 5.1 の回路 (図 10) を組み、 V_{in} を図 3 において $V_{low}=2V$ 、 $V_{high}=3V$ と表されるような波形に設定し、各 CMOS インバータの出力端子電圧を測定したところ図 16 のようなグラフが得られた。この条件では出力電圧 V_3 が入力に同期しているため、論理回路として動作している。
- 5.2 (3) (1) と同様に実験 5.1 の回路 (図 10) を組み、 V_{in} を図 3 において $V_{low}=3V$ 、 $V_{high}=4V$ と表されるような波形に設定し、各 CMOS インバータの出力端子電圧を測定したところ図 17 のようなグラフが得られた。この条件では出力電圧 V_3 が入力に同期していないため、論理回路として成り立っていない。

6 検討

- (1) 時定数 τ の理論値は

$$\tau = RC = 2.0 \times 10^4 \times 1.00 \times 10^{-13} = 2.0 \times 10^{-9}[s] = 2.0[ns] \quad (9)$$

となる。一方実験値は図 4 で V_{out} のピークにおける傾きを持つ直線を t 軸に降ろし、その時間と V_{out} がピークとなる時間の差を求めればよいので、グラフより $\tau = 2.0ns$ となった。これは理論値に一致し

図 18 CMOS インバータの負荷曲線 (次ページ)

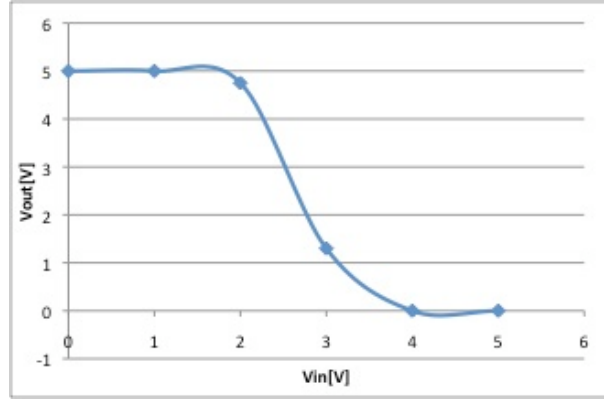


図 19 負荷曲線から求めた V_{in} - V_{out} グラフ

ている。

- (2) 実験 3.2 で描いた NMOS の特性 (図 6) と PMOS の特性 (図 7) を 1 つのグラフにまとめて描いたものが図 18 である。ただし曲線を第 1 象限にまとめるため、PMOS の I_D - V_{DS} 特性のグラフを x 軸対象に折り返した後、x 軸方向へ +5V だけシフトさせている。このグラフを元に曲線が交わる代表的な点を取り、 V_{in} - V_{out} グラフを描いたのが図 19 である。データの数が少ないためグラフの形は若干異なるが、これは実験 4 (1) で描いた図 8 に近い形をしている。
- (3) スイッチングしきい値 V_M 付近では、NMOS・PMOS 両方とも飽和領域で動作しているため、MOSFET は式 (3) に従って動作している。ただし V_{DS} は NMOS・PMOS でそれぞれ式 (6)、(7) で表される。キルヒホッフの電流則より

$$-I_{Dp} = I_{Dn} \quad (10)$$

が成り立つので、式 (3)、(6)、(7) を代入して

$$-\frac{k_p}{2}(V_{in} - V_{DD} - V_{Tp})^2 = \frac{k_n}{2}(V_{in} - V_{Tn})^2 \quad (11)$$

V_{in} について整理すると

$$V_{in} = \frac{\mp \sqrt{\frac{k_p}{k_n}}(V_{DD} + V_{Tp}) + V_{Tn}}{(1 \mp \sqrt{\frac{k_p}{k_n}})} \quad (12)$$

$V_{in} = \frac{V_{DD}}{2}$ となるために、 $V_{n0} = -V_{p0}$ 、 $k_n = k_p$ を代入すると、符号が-の時 V_{in} が ∞ となり不適、符号が+の時有限の値を持ち、

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r}, r = \sqrt{\frac{k_p}{k_n}} \quad (13)$$

が成り立つ。□

- (4) t_{pLH} を導出する。 $I = C \frac{dv}{dt}$ より両辺を積分して

$$t_{pLH} = \int_0^{\frac{V_{DD}}{2}} \frac{C_L}{-I_{Dp}} dV_{out} \quad (14)$$

$$= \int_0^{V_{Tp}} \frac{-C_L}{\frac{k_p}{2}(-V_{DD} - V_{Tp})^2} dV_{out} + \int_{V_{Tp}}^{\frac{V_{DD}}{2}} \frac{-C_L}{k_p \{(-V_{DD} - V_{Tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2}\}} dV_{out} \quad (15)$$

$$= \frac{-2C_L V_{Tp}}{k_p(V_{DD} + V_{Tp})^2} + \frac{C_L}{k_p(V_{DD} + V_{Tp})} \ln \left(3 + \frac{4V_{Tp}}{V_{DD}} \right) \square \quad (16)$$

- (5) 式 (8) および式 (16) に実験 5.1 の C_L 、 V_{Tn} 、 V_{Tp} 、 V_{DD} 、 k_n 、 k_p ($=k_n$) の値を代入すると理論値が得られ、

- 5.1 (1) では $t_{pHL} = 1.48 \times 10^{-9}$ [s]、 $t_{pLH} = 1.48 \times 10^{-9}$ [s] となった。これは実験値に一致している。
- 5.1 (2) では $t_{pHL} = 9.61 \times 10^{-10}$ [s]、 $t_{pLH} = 9.61 \times 10^{-10}$ [s] となった。これは実験値にほぼ一致している。
- 5.1 (1) では $t_{pHL} = 7.38 \times 10^{-10}$ [s]、 $t_{pLH} = 7.38 \times 10^{-10}$ [s] となった。これは実験値にほぼ一致している。

- (6) 実験 4 (2) で得られた図 9 より、CMOS インバータの出力電圧 V_{out} が大きく変化するのを入力電圧 V_{in} が 2~3V の間の時であることが分かる。よって、入力電圧がその範囲外の場合、出力電圧はほとんど変化せず、次につながる CMOS インバータにもほとんど変化しない電圧が入力され、以下同様に出力電圧がほぼ一定のまま伝わっていくと考えられる。

- (7) 検討 (6) より、入力電圧の振幅によって CMOS インバータの出力に大きな影響があることが分かった。より狭い入力電圧の範囲で CMOS インバータを動作させ、誤差による影響を抑えるためには、しきい値電圧 V_{Tn} および V_{Tp} を大きくし、多少の電圧誤差を吸収させる余裕 (ノイズマージン) を持たせるべきである。また NOT 回路の 0-1 切り替えは論理振幅の中央、すなわち $\frac{V_{DD}}{2}$ で行われるのが望ましいので、 $k_n = k_p$ となるように設計すれば良い。よって $V_{out} - V_{in}$ グラフの傾き部分を狭くし、なおかつグラフの中央へ寄せる形が最も理想的だと考えられる。

- (8) 入力パルス波に対する応答で問題となるのは平均伝搬遅延時間 t_d であり、一般に立ち上がり時間と立ち下がり時間の和に比例する。

ここで、立ち上がり時間 t_r ・立ち下がり時間 t_f は式 (3) および

$$V_{out} = V_{DD} - \frac{I_{Dn}}{C_L} t \quad (17)$$

より、寄生容量 C_L とトランスコンダクタンス K の比に比例することが分かり、

$$t_r \propto \frac{C_L}{K_p} \quad (18)$$

$$t_f \propto \frac{C_L}{K_n} \quad (19)$$

が得られる。すなわち

$$t_d \propto t_r + t_f \propto C_p \left(\frac{1}{K_n} + \frac{1}{K_p} \right) \quad (20)$$

となる。結局平均伝搬遅延時間を短くするには、寄生容量を小さくし、トランスコンダクタンスを大きくするよう設計すればいいことが分かる。

具体的に検討する。寄生容量は MOSFET の端子間に存在する接合容量、他の論理回路のゲートと基板間に存在する容量、配線によって生じる容量の和である。3 番目の配線が持つ容量は回路をできるだけ

小さく作り、回路を短くすることで細小にできる。1・2 番目についてはチャネル幅 W とチャネル長 L に依存するため、トランスコンダクタンスの定義式 $K = \frac{1}{2}\mu C_{ox} \frac{W}{L}$ を式 (20) に代入し、

$$t_d \propto \frac{1}{\mu_n} \left(1 + \gamma + \gamma x + \frac{1}{x}\right) \quad (21)$$

と表される。ただし、 $\gamma = \frac{\mu_n}{\mu_p}$ 、 $x = \frac{W_n}{W_p}$ である。 t_d を最小にするためには相加・相乗平均の関係より、結局

$$\gamma x = \frac{1}{x} \Leftrightarrow x = \frac{1}{\sqrt{\gamma}} \quad (22)$$

となるようにチャネル幅を設計すれば良い。

- (9) CMOS インバータの消費電力は NOT 回路の切り替え時に生ずる貫通電流以外に電流が流れないことから、切り替え時間が短い場合にはほとんど 0 である。しかし実際の回路には寄生容量があるため、その充放電に流れる電流が消費電力を決定づける要因となる。

ここで振幅 V_{DD} 、周期 T の方形波が V_{in} に入力した場合の消費電力を考える。最初の半周期では NMOS でエネルギーが消費され

$$E_n = \int_0^{\frac{T}{2}} I_{Dn} V_{out} dt \quad (23)$$

あとの半周期では PMOS でエネルギーが消費され

$$E_p = \int_{\frac{T}{2}}^T -I_{Dp} (V_{DD} - V_{out}) dt \quad (24)$$

となる。ただし I_{Dn} 、 I_{Dp} はそれぞれ

$$I_{Dn} = -C_L \frac{dV_{out}}{dt} \quad (25)$$

$$I_{Dp} = C_L \frac{dV_{out}}{dt} \quad (26)$$

である。以上より消費電力 P_d は

$$P_d = \frac{1}{T} (E_n + E_p) = \frac{C_L V_{DD}^2}{T} = C_L f V_{DD}^2 \quad (27)$$

結局消費電力は寄生容量 C_L と動作周波数 $f = (\frac{1}{T})$ に比例し、電源電圧 V_{DD} には 2 乗で比例することが分かる。

まとめると、デジタル回路においては動作速度を上げれば上げるほど消費電力が大きくなり、逆に消費電力を抑えるためには動作周波数を下げなければならないというトレードオフ関係問題が生じることが分かる。

7 結論

1. CMOS インバータの静特性について、実験 4 の結果より、MOSFET を適切に設計することで伝達特性を任意に設定することができる。
2. CMOS インバータの動特性について、遅延時間を小さくするためには寄生容量を小さくし、チャネル長・チャネル幅をバランスよく設計することが必要である。
3. CMOS インバータへ影響するノイズには、インバータ回路に鋭い伝達特性を与えることで対応できる。

8 謝辞

最後になったが、実験に協力してくれた班員の 5 人と、丁寧に指導して下さいった先生方・TA の方々に感謝申し上げたい。

9 参考文献

- 実験テキスト「デジタル回路シミュレーション」
- 「大阪大学物理学実験 2008」大阪大学物理教育研究会編 学術図書出版社 第 2 版第 1 刷 第 2 編
- 「回路理論」伊瀬敏史ほか共著 コロナ社 初版第 3 刷
- 「CMOS 集積回路 入門から実用まで」榎本忠儀著 培風館 初版第 5 刷
- 「デジタル集積回路入門」小林隆夫・高木茂孝共著 昭晃堂 初版第 1 刷
- 「CMOS の基礎と活用ノウハウ」大幸英成著 CQ 出版社 初版
- 「 \LaTeX 2_ε 美文書作成入門 改訂第 4 版」奥村晴彦著 技術評論社 第 4 版第 6 刷

以上